

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131714

(43)Date of publication of application : 19.05.1995

(51)Int.CI.

H04N 5/335

H01L 27/148

H03M 1/44

(21)Application number : 05-271475

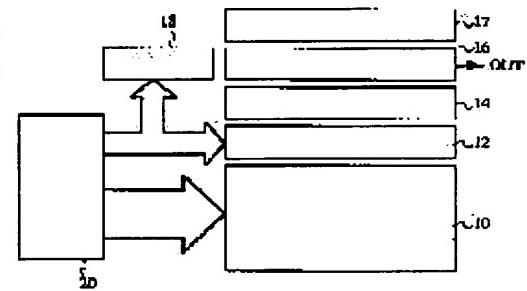
(71)Applicant : HITACHI LTD

(22)Date of filing : 29.10.1993

(72)Inventor : HATAE HIROSHI
AKIMOTO HAJIME
KIMURA KATSUTAKA**(54) A/D CONVERTER****(57)Abstract:**

PURPOSE: To attain accurate A/D conversion even when signal charges are less by providing a charge storage means decreasing a capacitance of a capacitor storing charges by an equal capacitance each, a charge overflow discrimination means detecting overflow of charge and a count means in the A/D converter.

CONSTITUTION: A charge storage means 12 decreases a capacitance of a capacitor storing charges from a picture element section 10 comprising a photo diode and a vertical CCD register by an equal capacitance each synchronously with a clock signal. A charge overflow discrimination means 14 detects overflow of charge from the charge storage means 12. A count means 18 conducts counting synchronously with the clock signal. A temporary storage means 16 is controlled by the charge overflow discrimination means 14 to store tentatively an output of the count means. Thus, the picture element section 10, the charge storage means 12 and the count means 18 are driven by a drive circuit 20.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-131714

(43)公開日 平成7年(1995)5月19日

(51) Int.Cl. ⁶ H 04 N 5/335 H 01 L 27/148 H 03 M 1/44	識別記号 P	序内整理番号 F I 7210-4M	技術表示箇所 H 01 L 27/ 14 B
---	--------	-----------------------	---------------------------

審査請求 未請求 請求項の数17 O.L (全 15 頁)

(21)出願番号 特願平5-271475	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成5年(1993)10月29日	(72)発明者 波多江 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 秋元 肇 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 木村 勝高 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(74)代理人 弁理士 中村 純之助

(54)【発明の名称】 A/D変換装置

(57)【要約】

【目的】 信号電荷量が少ない場合にも正確にA/D変換する。

【構成】 ホトダイオードと垂直CCDレジスタとからなる画素部10を設け、画素部10からの電荷を蓄える容量をクロックに同期させて等容量づつ減少させる電荷蓄積手段12を設け、電荷蓄積手段12からの電荷の溢れを検出する電荷溢れ判定手段14を設け、電荷溢れ判定手段14により制御されてカウント手段18の出力を一時記憶する一時記憶手段16を設け、画素部10、電荷蓄積手段12、カウント手段18を駆動する駆動回路20を設ける。

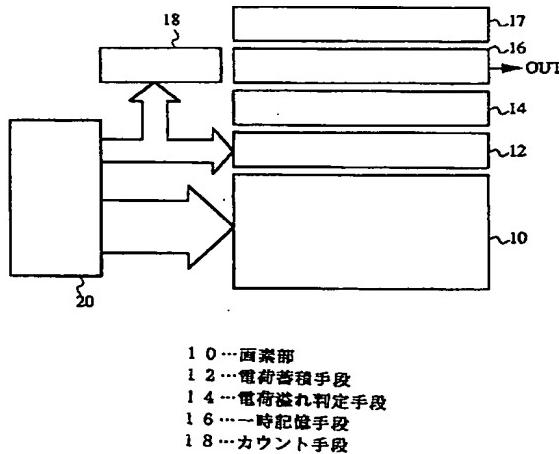


図1

【特許請求の範囲】

【請求項1】電荷を蓄える容量をクロックに同期させてほぼ等容量づつ減少させる電荷蓄積手段と、上記電荷蓄積手段からの電荷の溢れを検出する電荷溢れ判定手段と、上記クロックと同期して動作するカウント手段とを具備することを特徴とするA D変換装置。

【請求項2】上記電荷溢れ判定手段により制御されて上記カウント手段の出力を一時記憶する一時記憶手段を設けたことを特徴とする請求項1に記載のA D変換装置。

【請求項3】上記電荷蓄積手段を複数の等容量からなる小電荷蓄積手段で構成したことを特徴とする請求項1に記載のA D変換装置。

【請求項4】上記電荷蓄積手段をC C D構造による容量としたことを特徴とする請求項3に記載のA D変換装置。

【請求項5】上記電荷蓄積手段として、複数の上記小電荷蓄積手段を同時に駆動するものを用いたことを特徴とする請求項3に記載のA D変換装置。

【請求項6】上記電荷が光電変換手段により発生することを特徴とする請求項1に記載のA D変換装置。

【請求項7】上記光電変換手段が固体撮像素子の画素部であり、上記電荷蓄積手段と上記電荷溢れ判定手段とを複数個用いたことを特徴とする請求項6に記載のA D変換装置。

【請求項8】上記電荷溢れ判定手段として、上記電荷蓄積手段からの上記電荷の溢れを複数回行わせたときに上記電荷の溢れを検出するものを用いたことを特徴とする請求項1に記載のA D変換装置。

【請求項9】上記カウント手段として、動作開始のタイミングを遅延させたものを用いたことを特徴とする請求項8に記載のA D変換装置。

【請求項10】補正データを記憶するための補正データ記憶手段と、上記カウント手段の出力を上記補正データで補正する補正手段とを設けたことを特徴とする請求項8に記載のA D変換装置。

【請求項11】一定電荷を入力するための一定電荷入力手段を設けたことを特徴とする請求項10に記載のA D変換装置。

【請求項12】上記電荷溢れ判定手段として、差動増幅回路を有するものを用いたことを特徴とする請求項1に記載のA D変換装置。

【請求項13】複数の上記電荷蓄積手段と上記電荷溢れ判定手段との間に電荷転送切替手段を設けたことを特徴とする請求項1に記載のA D変換装置。

【請求項14】上記一時記憶手段への記憶と上記一時記憶手段からの読み出とを時分割で行なうことを特徴とする請求項13に記載のA D変換装置。

【請求項15】上記電荷蓄積手段の中に分割手段を設けたことを特徴とする請求項4に記載のA D変換装置。

【請求項16】上記小電荷蓄積手段を第1ゲート、第2

ゲートで構成したことを特徴とする請求項4に記載のA D変換装置。

【請求項17】上記画素部の垂直C C Dレジスタを上記電荷蓄積手段として用いたことを特徴とする請求項7に記載のA D変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は信号電荷を入力とするA D変換装置たとえばV T R一体型カメラのA D変換装置に関するものである。

【0002】

【従来の技術】現在のV T R一体型カメラなどの信号処理は、ほとんどの場合デジタルで行なわれている。このようなV T R一体型カメラの入力部には、光電変換手段である固体撮像素子が用いられている。この固体撮像素子としては、たとえば電子情報通信学会技術報告I C D 9 1 - 8 7で発表されているものがある。この固体撮像素子の動作は、つきの通りである。まず、光の強弱に応じた信号電荷がホトダイオードにおいて発生する。その信号電荷が一齊に垂直C C Dレジスタに読み出され、1ラインごとに水平C C Dレジスタに転送される。ついで、水平C C Dレジスタにより順次信号電荷が1画素ごとに入力容量に入力され、信号電圧に変換される。ついで、この信号電圧が増幅器で増幅され、A D変換装置に入力される。つまり、信号電荷を入力容量に入力し、入力容量で生じた信号電圧を用いて、A D変換を行なっている。これを具体的な数値を用いて説明する。たとえば、5 0 0 0 0 エレクトロンの信号電荷nがホトダイオードで発生したとし、入力容量の値Cが2 0 f Fであったとすると、次式から約4 7 5 m Vの信号電圧Vが発生する。

$$[0003] V = Q / C = (n \times q) / C$$

ここで、qは素電荷量である。そして、通常はA D変換装置に必要な2 V程度に信号電圧Vを増幅する。

【0004】

【発明が解決しようとする課題】このような信号処理によりA D変換する場合、ホトダイオードが微細化し、信号電荷量が少ないとときには、次のような問題点が生ずる。すなわち、信号電荷量が少ないとときに、ある程度の値の信号電圧を発生させようとすれば、入力容量を小さくする必要がある。しかしながら、この場合にはチップごとの入力容量のばらつきが大きくなるから、信号電荷量が同じ場合にも、チップごとに信号電圧がばらつくので、正確にA D変換を行なうことができない。

【0005】この発明は上述の課題を解決するためになされたもので、信号電荷量が少ないと場合にも正確にA D変換することができるA D変換装置を提供すること目的とする。

【0006】

【課題を解決するための手段】この目的を達成するた

め、この発明においては、電荷を蓄える容量をクロックに同期させてほぼ等容量づつ減少させる電荷蓄積手段と、上記電荷蓄積手段からの電荷の溢れを検出する電荷溢れ判定手段と、上記クロックと同期して動作するカウント手段とを設ける。

【0007】この場合、上記電荷溢れ判定手段により制御されて上記カウント手段の出力を一時記憶する一時記憶手段を設ける。

【0008】また、上記電荷蓄積手段を複数の等容量からなる小電荷蓄積手段で構成する。

【0009】この場合、上記電荷蓄積手段をCCD構造による容量とする。

【0010】また、上記電荷蓄積手段として、複数の上記小電荷蓄積手段を同時に駆動するものを用いる。

【0011】また、上記電荷を光電変換手段により発生させる。

【0012】この場合、上記光電変換手段を固体撮像素子の画素部とし、上記電荷蓄積手段と上記電荷溢れ判定手段とを複数個用いる。

【0013】また、上記電荷溢れ判定手段として、上記電荷蓄積手段からの上記電荷の溢れを複数回行わせたときに上記電荷の溢れを検出するものを用いる。

【0014】この場合、上記カウント手段として、動作開始のタイミングを遅延させたものを用いる。

【0015】また、補正データを記憶するための補正データ記憶手段と、上記カウント手段の出力を上記補正データで補正する補正手段とを設ける。

【0016】また、一定電荷を入力するための一定電荷入力手段を設ける。

【0017】また、上記電荷溢れ判定手段として、差動增幅回路を有するものを用いる。

【0018】また、複数の上記電荷蓄積手段と上記電荷溢れ判定手段との間に電荷転送切替手段を設ける。

【0019】この場合、上記一時記憶手段への記憶と上記一時記憶手段からの読み出とを時分割で行なう。

【0020】また、上記電荷蓄積手段の中に分割手段を設ける。

【0021】また、上記小電荷蓄積手段を第1ゲート、第2ゲートで構成する。

【0022】また、上記画素部の垂直CCDレジスタを上記電荷蓄積手段として用いる。

【0023】

【作用】このAD変換装置においては、溢れ出た電荷の有無を判定すればよいから、容量のばらつきは問題となるない。

【0024】また、電荷蓄積手段として、複数の小電荷蓄積手段を同時に駆動するものを用いたときには、実質的な小電荷蓄積手段を減少することができる。

【0025】また、電荷溢れ判定手段として、電荷蓄積手段からの電荷の溢れを複数回行わせたときに電荷の溢

れを検出するものを用いたときには、電荷溢れ判定手段で比較的大きな電荷の有無を判定すればよい。

【0026】また、補正データを記憶するための補正データ記憶手段と、カウント手段の出力を補正データで補正する補正手段とを設けたときには、各電荷溢れ判定手段間に判定誤差が存在したとしても、その判定誤差を補正することができる。

【0027】また、一定電荷を入力するための一定電荷入力手段を設けたときには、補正データを作成する時に使用する基準電荷を一定電荷入力手段に入力することができる。

【0028】また、電荷溢れ判定手段として、差動増幅回路を有するものを用いたときには、電荷の溢れが生じたときに発生する信号を増幅することができる。

【0029】また、複数の電荷蓄積手段と電荷溢れ判定手段との間に電荷転送切替手段を設けたときには、電荷溢れ判定手段の数を減少することができる。

【0030】また、電荷蓄積手段の中に分割手段を設けたときには、1つの小電荷蓄積手段当たりで変化する出力電位を大きくすることができる。

【0031】また、小電荷蓄積手段を第1ゲート、第2ゲートで構成したときには、第1ゲート、第2ゲートの位置、加工寸法にずれが生じたとしても、小電荷蓄積手段の容量を均一にすることができる。

【0032】また、画素部の垂直CCDレジスタを電荷蓄積手段として用いたときには、新たに電荷蓄積手段を設ける必要がない。

【0033】

【実施例】(実施例1) 図1はこの発明に係るVTR一体型カメラのAD変換装置を示すブロック構成図である。図に示すように、このAD変換装置は、固体撮像素子の画素部10、電荷蓄積手段12、電荷溢れ判定手段14、一時記憶手段16、走査回路17、カウント手段18、駆動回路20を有しており、駆動回路20は画素部10、電荷蓄積手段12、カウント手段18を駆動する。

【0034】図2は図1に示したAD変換装置の画素部を示すブロック構成図である。図に示すように、画素部10はホトダイオード22と垂直CCDレジスタ24などで構成されている。そして、ホトダイオード22で光電変換された信号電荷は各ダイオード22から一齊に垂直CCDレジスタ24に読み出される。そして、1水平走査期間に1信号の割合で各列の電荷蓄積手段12に信号電荷が転送される。

【0035】図3(a)は図1に示したAD変換装置の電荷蓄積手段の構成を示す断面図、図3(b)は図3(a)に示した電荷蓄積手段のポテンシャル図である。図に示すように、電荷蓄積手段12は埋め込みCCD構造を有し、電荷蓄積手段12はトランスマニア電極26、小電荷蓄積手段を構成する電荷蓄積電極2

8a～28d、アウトプット電極30で構成され、垂直CCDレジスタ24は電極38を有し、電荷溢れ判定手段14は浮遊拡散層32、リセット電極34、リセットドレイン36を有している。そして、ホトダイオード22における飽和電荷量Q1と電荷蓄積電極28a～28dによる電荷蓄積手段12全体の飽和電荷量Q2とが等しい。つまり、1つの電荷蓄積電極28a～28d当りの飽和電荷量はQ1/4であり、垂直CCDレジスタ24の電極38と比較して電荷蓄積電極28a～28dの面積を小さくするか、隣接する電荷蓄積電極28a～28dの印加電圧の差を小さくするか、電荷蓄積電極28a～28dの下のn型不純物層とp型不純物層との接合深さxjを大きくすることで、1つの電荷蓄積電極28a～28d当りの飽和電荷量をQ1/4にすることができます。なお、この実施例では4個の電荷蓄積電極28a～28dを用いた2ビットのAD変換の場合について説明するが、4ビット変換の場合には16個以上の電荷蓄積電極を用い、5ビット変換の場合には32個以上の電荷蓄積電極を用いるというように、nビット変換の場合には2のn乗個以上の電荷蓄積電極を用いる。

【0036】つぎに、図3に示した電荷蓄積手段の動作を図4～図9により説明する。まず、図4に示すように、信号電荷Qsigが垂直CCDレジスタ24の電極38の下に転送される。つぎに、図5に示すように、信号電荷Qsigが電荷蓄積電極28a～28dの下に転送される。この場合、電荷蓄積電極28a～28dの全てには高レベル電圧たとえば0Vが印加してある。つぎに、図6に示すように、垂直CCDレジスタ24の電極38側の電荷蓄積電極28aから順に低レベル電圧たとえば-5Vを印加する。すると、信号電荷Qsigは次第に図5紙面左側に集められる。たとえば、電荷蓄積電極28a、28bに低レベル電圧を印加した場合には、信号電荷Qsigが電荷蓄積電極28c、28dの下に集まる。つぎに、図7に示すように、電荷蓄積電極28cに低レベル電圧を印加すると、信号電荷Qsigの一部が浮遊拡散層32に溢れ出る。つぎに、図8に示すように、電荷蓄積電極28dに低レベル電圧を印加すると、信号電荷Qsigは全て浮遊拡散層32に転送される。つぎに、リセット電極34をゲート電極とするMOSトランジスタをオン状態すると、浮遊拡散層32の信号電荷Qsigがリセットドレイン36に転送される。つぎに、図9に示すように、MOSトランジスタをオフ状態にすると、浮遊拡散層32のポテンシャルレベルはリセットドレイン36のポテンシャルレベルに設定される。これで、1つの信号電荷Qsigに対する電荷蓄積手段12の動作が完了する。

【0037】図10は図1に示したAD変換装置の電荷溢れ判定手段の電荷検出部を示す回路図である。図に示すように、電荷溢れ判定手段14の電荷検出部はソースフォロア回路42、比較容量44、チョッパ型比較器4

6等から構成されており、チョッパ型比較器46はトランスマニッシュ48を有する。

【0038】この電荷検出部においては、リセット電極34をゲート電極とするMOSトランジスタをオンすると、浮遊拡散層32内の信号電荷がリセットドレイン36に排出される。そして、MOSトランジスタをオフして信号電荷がない状態のときに、トランスマニッシュ48をオンすると、チョッパ型比較器46の入力と出力とが接続され、動作点は図11のVrefで示される点になる。つぎに、トランスマニッシュ48をオフし、比較動作に入る。その後、電荷蓄積手段12の動作により浮遊拡散層32の容量と寄生容量とを合わせた入力容量40に溢れ電荷が入力されると、ソースフォロア回路42の入力電圧はVref-Vsigに変化する。すると、動作点がVref-Vsigに変化し、チョッパ型比較器46の出力は中間レベルからVCCレベルすなわち高レベルに変化する。このようにして、浮遊拡散層32に電荷が溢れ出したことを検出する。そして、電荷蓄積手段12から浮遊拡散層32に電荷が溢れ出したのちは、電荷蓄積電極28a～28dが垂直CCDレジスタ24側から1つずつ低レベル電圧になるたびに次々と溢れ出しが、その間チョッパ型比較器46の出力は高レベルを維持する。

【0039】図12は図1に示したAD変換装置の電荷溢れ判定手段の微分回路を示す図である。図に示すように、電荷溢れ判定手段14の微分回路は遅延手段50、イクスクリシーブORの論理回路52から構成されている。

【0040】この微分回路においては、チョッパ型比較器46の出力の立ち上がりを捉え、図13に示されるような判定パルス信号を出力する。

【0041】図14は図1に示したAD変換装置の一時記憶手段の構成を示す図である。図に示すように、一時記憶手段16は2つの記憶手段53、55を有している。

【0042】この一時記憶手段16においては、駆動回路20からの信号により記憶手段53、55を切り替える。すなわち、駆動回路20からフレーム切替制御線56を介して低レベルの信号が入力されているときは、一転鎖線で囲んだトランジスタがオンになり、記憶手段55の各ビットのトランジスタのゲートに電荷溢れ判定手段14からの判定パルス信号が入力され、記憶手段53の各ビットのトランジスタのゲートに走査回路17のパルス信号が入力される。そのため、記憶手段55では電荷溢れ判定手段14からの判定パルス信号のタイミングでカウント手段18の値が各列の容量に書き込まれる。すなわち、電荷蓄積電極28a～28dに低レベル電圧を印加するたびに、カウント手段18の出力を「1」、「10」、「01」、「00」に変化させると、たとえば電荷蓄積電極28cに低レベル電圧を印加した

ときに電荷溢れ判定手段14から判定パルス信号が出力されたときには、記憶手段55に「01」が記憶される。このように、記憶手段55には信号電荷Qsigに応じたAD変換データが記憶される。また、記憶手段53では走査回路17からのパルス信号のタイミングで蓄えられている前行のAD変換データがセンスアンプ54に入力される。そして、1水平走査期間が終了した時点で、図15に示すように、フレーム切替制御線56のレベルを反転すると、今度は記憶手段55の各ビットのトランジスタのゲートに走査回路17からのパルス信号が入力され、記憶手段53の各ビットのトランジスタのゲートに電荷溢れ判定手段14からの判定パルス信号が入力される。このように、1ラインのAD変換データを書き込みながら、一方で前ラインのAD変換データを読み出す動作を行なう。

【0043】なお、図14、15においては、2ビット変換の場合の一時記憶手段について説明したが、任意のビットの場合の一時記憶手段を構成することができる。そして、たとえば4ビット変換の場合には、電荷蓄積手段の容量を全く減少させない状態でカウント手段の出力を「1111」とし、電荷蓄積手段の方は2の4乗回すなむち16回クロックに同期して等容量づつ減少させ、16回目に電荷蓄積手段の容量を0にする。

【0044】図16は図1に示したAD変換装置の駆動回路の構成を示す図である。図に示すように、駆動回路20は水平同期信号HDとクロック信号CLKによって制御される。制御回路20では水平同期信号HDを基準にクロックの数を数えはじめ、ある決まったタイミングで浮遊拡散層32内の電荷をリセットするためのリセット信号RGを出力する。つぎに、垂直CCDレジスタ24から電荷蓄積手段12に信号電荷を転送するための垂直CCD電荷転送信号を出力する。つぎに、クリヤ信号CLRがカウント手段18に入力され、カウント手段18では値を設定された初期値にする。また、電荷蓄積電極駆動回路58ではリセット信号RGをトリガとして図17に示すような電荷蓄積電極28a～28dの駆動信号CSG28a～CSG28dを発生する。その後は、クロック信号CLKによりカウント手段18の値を1つずつ減らし、また電荷蓄積電極28a～28dには垂直CCDレジスタ24側の電荷蓄積電極28aから順に低レベル電圧が与えられるように信号を発生する。その後、1水平走査期間でAD変換を終え、次の水平同期信号HDによりフレーム切替制御線56のレベルを反転する。これにより、先ほど説明したように、2つの記憶手段53、55の読み出しと書き込みを切り替える。

【0045】以上説明したAD変換装置においては、溢れ出した電荷の有無を判定すればよいかから、容量のばらつきは問題とならないので、信号電荷Qsigの量が少ない場合にも正確にAD変換することができる。

【0046】なお、この実施例では4つの電荷蓄積電極

28a～28dを用いて、2ビットのAD変換を行なう場合について説明したが、変換ビット数については、以前説明したように2のn乗個の電荷蓄積電極を設ければ、nビットのAD変換が可能である。そして、2のn乗個の電荷蓄積電極を設けた場合でも、ビット数がn-1、n-2などn以下の場合のAD変換が可能である。たとえば、2のn乗個の電荷蓄積電極を設けた場合に、ビット数がn-1のAD変換を行ないたいときには、電荷蓄積電極の2電極を1組として動作させる。すると、2の(n-1)乗回の動作で全ての電荷蓄積電極を動作させることになるので、ビット数がn-1のAD変換が可能になる。これにより、システムに変更を加えることなく、必要に応じてAD変換のビット数を変更することができる。

【0047】また、この実施例ではある行を1水平走査期間を使ってAD変換し、その前行を1水平走査期間を使って読み出す場合について説明した。そのため、1列につき2データ分の記憶手段53、55を必要とし、またAD変換動作と読み出動作とは同時に行なわれていた。

しかし、1列につき1データ分の記憶手段を設け、1水平走査期間内のある時間を使ってAD変換を行ない、記憶手段に記憶し、残りの時間を用いて読み出しが行なうことでもできる。このようにすると、読み出動作とAD変換動作が同時に行なわないので、読み出動作により発生するノイズの影響を受けず、高精度なAD変換が可能になる。

【0048】また、この実施例では複数の電荷溢れ判定手段14、電荷蓄積手段12を用いて、AD変換動作を並列に行なう場合について説明した。しかし、1組の電荷溢れ判定手段、電荷蓄積手段だけでAD変換装置を構成する場合には、一時記憶手段を用いなくてもよい。この場合、電荷溢れ判定手段の出力信号を用いて直接カウント手段を制御する。すなむち、カウント手段18は電荷蓄積手段12の駆動と同期して動作しているが、電荷溢れ判定手段から判定パルス信号が出力されたとき、判定パルス信号を用いてカウント手段18の動作を止めると、カウント手段18の出力信号はAD変換値の出力を維持していることになる。このように、一時記憶手段を必要とせず簡単な構成でAD変換装置を構成できる。

【0049】(実施例2)図18はこの発明に係る他のAD変換装置の電荷蓄積手段のボテンシャル図である。図に示すように、この電荷蓄積手段は多数の電荷蓄積電極28を有している。

【0050】つぎに、図18に示した電荷蓄積手段を有するAD変換装置の動作について説明する。まず、図18に示すように、垂直CCDレジスタ24から信号電荷が電荷蓄積手段に転送される(時刻t0)。つぎに、図19に示すように、紙面右側の電荷蓄積電極28から順に低レベル電圧を印加すると、ある時点(時刻t1)で電荷が浮遊拡散層32に溢れ出る。そして、1つの電荷蓄積電極28当りに溢れ出る電荷量が少ない場合は、こ

の溢れ出た電荷だけでは、電荷溢れ検出は電荷の溢れを検出することができない。そこで、図20に示すように、さらに電荷蓄積電極28を紙面右側から低レベル電圧にし、電荷を浮遊拡散層32に溢れ出させる(時刻t2)。そして、図21、図22に示すように、これを繰り返す(時刻t3、時刻t4)。この場合、図23で示すように、浮遊拡散層32では溢れ出た回数と共に電位変化が大きくなり、ある時刻で電荷の溢れを検出することができる。たとえば、電荷溢れ判定手段の比較器のスレッショルドが約7mVで、1回の電荷の溢れで電荷溢れ判定手段に2mVの電圧が発生するとすれば、時刻t4で発生電圧が7mVを越え、電荷の溢れを検出することができる。ここで、電荷の溢れと比較器による検出との間に3クロックのずれが生じるため、AD変換値も値が3だけ少なくなる。しかし、この点については、カウント手段の動作を3クロック分遅らせれば問題はない。また、AD変換データを読み出す際にAD変換データから3を引いてもよい。このように、この実施例では、AD変換のビット数を多くしたときに考えられる1つの電荷蓄積電極当たりの電荷量が少なくなった場合にも、正確にAD変換を行なうことができる。

【0051】(実施例3)また、図18に示した装置において、たとえば図24に示すように、電荷溢れ判定手段の3つの比較器のスレッショルドが2mVずつずれていた場合、同じ信号電荷が垂直CCDレジスタ24から転送されてきたとしても、比較器3では時刻t2で、比較器1では時刻t3で、比較器2では時刻t4で電荷を検出する。そのため、カウント手段のデータを一時記憶するタイミングに違いが生じ、それがAD変換の誤差となる。したがって、電荷溢れ判定手段を列ごとに並べ、並列動作させる場合には、電荷溢れ判定手段のしきい値のばらつきを補正する必要がある。

【0052】図25はこの発明に係る他のAD変換装置すなわち電荷溢れ判定手段のしきい値のばらつきを補正することができるAD変換装置を示すブロック構成図である。図に示すように、このAD変換装置においては、図1に示したAD変換装置に一様電荷入力手段60、補正データ記憶手段62、補正手段64が追加されている。

【0053】図26に示すように、たとえば時刻t2においては、比較器3ではしきい値を越えていて電荷が存在すると判定しているのに対し、比較器1、2ではまだしきい値を越えていない。そのため、電荷は存在しないと判定している。そして、時刻t3において比較器1が電荷が存在すると判定し、時刻t4において比較器2が電荷が存在すると判定している。本来、同じ電荷量を判定しているのだから、同じ時刻で判定されなければならないのであるが、この判定の時刻のずれのため、たとえば比較器3では「1101」が、比較器2では「110

0」が、比較器3では「1011」がAD変換データとなってしまう。そこで、このAD変換装置においては、たとえば比較器3を基準とし、同じ電荷量すなわち基準電荷を一様電荷入力手段60に入力したときの結果から比較器1の補正データとして1を、比較器2の補正データとして2を補正データ記憶手段62に記憶しておく。そして、画素部において生成された信号電荷をAD変換する場合に、各列のAD変換値に各列の補正データを加えてやることで補正する。各列の垂直CCDレジスタにて同一の基準電荷を注入して補正データを得る動作は、電源投入時に行なってもよいし、また任意のタイミングで行なってもよい。また、予めROMに記憶しておいてもよい。

【0054】このようなAD変換装置においては、列ごとに比較器のしきい値がばらついた場合にも、精度の良いAD変換を行なうことが可能である。また、一定電荷入力手段60を設けているから、補正データを作成する時に使用する基準電荷を一定電荷入力手段60に入力することができるので、容易に補正データを作成することができる。

【0055】なお、この実施例では、補正データを生成するための同じ電荷量を入力する方法として一様電荷入力手段60を用いる場合について説明した。しかし、これはホトダイオードに一様光を照射し、それにより発生する電荷を用いてもよく、この場合には一様電荷入力手段を必要とせず、少ないハードウェア量で構成することができる。

【0056】(実施例4)図27はこの発明に係る他のAD変換装置の電荷溢れ判定手段の電荷検出部を示す回路図である。図に示すように、この電荷検出部においては、初段アンプとして差動増幅回路66を用いている。

【0057】この電荷検出部においては、まずトランスマスファースイッチ48をオンにして、チャップ型比較器46をオートゼロの状態にする。この時、水平走査期間の最初に駆動回路からリセット信号RGを出力して、浮遊拡散層32内の電荷をリセットする。つぎに、リセット信号RGをオフにした状態でトランスマスファースイッチをオンにすると、オートゼロが終了する。その結果、リセット雑音電圧、差動増幅回路66で発生するオフセット電圧を含んだ状態のオートゼロ点が設定される。この状態で、浮遊拡散層32に電荷が溢れると、これにより発生した電圧が差動増幅回路66により電圧増幅される。そして、チャップ型比較器46により更に増幅され、信号は微分回路に伝達される。

【0058】このように、通常チャップ型比較器46をオートゼロ動作させるためにあるトランスマスファースイッチ48で発生するフィードスルー電荷が比較器のしきい値を決めているが、この実施例では信号電圧が差動増幅回路66によりn倍に増幅された後にチャップ型比較器46に入力されるため、フィードスルー電荷の影響を1

11

n に小さくすることができるので、高感度な電荷検出部を構成することができる。

【0059】(実施例5) 図28はこの発明に係る他のA D変換装置の一部を示す図、図29は図28の一部詳細図である。図に示すように、このA D変換装置においては、2つの垂直CCDレジスタ24ごとに荷電蓄積手段12が設けられ、垂直CCDレジスタ24と荷電蓄積手段12との間に電荷転送切替手段68が設けられている。すなわち、垂直CCDレジスタ24のゲート電極38と荷電蓄積電極28との間に奇数列用のトランスマッパー電極70、偶数列用のトランスマッパー電極72が設けられている。なお、破線はチャネル領域との境界74を表している。

【0060】このA D変換装置においては、ホトダイオード22で生成された信号電荷は一斉に垂直CCDレジスタ24に転送される。そして、1水平走査期間に1行ずつ電荷転送切替手段68の方向に転送される。電荷転送切替手段68では水平走査期間の初めに奇数列の垂直CCDレジスタ24の電荷を電荷蓄積手段12に転送する。すなわち、各行の信号電荷が電極38の下に転送された状態で、トランスマッパー電極70に高レベル電圧を印加すると、奇数列の信号電荷が荷電蓄積電極28の下に転送される。この転送が終了すると、後は実施例1と同様な動作でA D変換を行なう。この時、実施例1と違う点は、図30に示すように、1水平走査期間の半分の時間を使ってA D変換を行なう点である。奇数列のA D変換の終了後、電荷溢れ判定手段14の信号電荷をリセットし、トランスマッパー電極72に高レベル電圧を印加して、偶数列の信号電荷を荷電蓄積電極28の下に転送する。そして、先ほどと同様にして、1水平走査期間の半分の時間を使って、A D変換を行なう。このとき、1列に対して2つのデータ保持用のメモリとして、第1一時記憶手段と第2一時記憶手段とを用意しておき、たとえば奇数列のA D変換データを第1一時記憶手段に書き込んだ場合、第2一時記憶手段に偶数列のA D変換データを書き込む。読み出すときは、第1一時記憶手段と第2一時記憶手段から交互に読み出すことで、画素の順にデータを読み出すことができる。

【0061】このようなA D変換装置においては、2つの垂直CCDレジスタ24ごとに荷電蓄積手段12を設けることができ、レイアウト設計が容易になる。

【0062】なお、この実施例では、2つの垂直CCDレジスタごとに荷電蓄積手段12を設ける構成について説明したが、 n の垂直CCDレジスタごとに荷電蓄積手段12を設けることができる。その場合、 n を大きくするほど1列当たりのA D変換時間が減少するが、レイアウト設計をより容易にすることができます。

【0063】(実施例6) 図31はこの発明に係る他のA D変換装置の電荷蓄積手段のポテンシャル図である。図に示すように、この電荷蓄積手段においては、電荷蓄

12

積電極28bと電荷蓄積電極28cとの間に分割手段である分割ゲート76が設けられ、電荷蓄積電極28a、28bで構成される前段チャージスイープの高レベルのチャネルボテンシャルと分割ゲート76のチャネルボテンシャルとの差 ΔV_a と、電荷蓄積電極28c、28dで構成される後段チャージスイープの高レベルのチャネルボテンシャルとアウトプットゲート30のチャネルボテンシャルとの差 ΔV_b とは等しい。

【0064】ところで、図32に示す実施例1の電荷蓄積手段12の構造において、電荷蓄積電極28aによる小電荷蓄積手段の蓄積電荷量を Q_a とした場合に、電荷蓄積電極28aに低レベル電圧を印加すると、図33で示されるように、蓄積電荷 Q_a は電荷蓄積電極28b～28dの下に広がる。このとき、電荷蓄積電極28b～28dの蓄積容量を C_1 とすると、電荷蓄積電極28b～28dのチャネルボテンシャルの減少量 ΔV_o は次式で表すことができる。

$$[0065] \Delta V_o = Q_a / C_1$$

実際には、図34で示されるように、電荷 Q_a は浮遊電荷層32に溢れ出て、電荷蓄積電極28b～28dまでのチャネルボテンシャルはアウトプット電極30で規定されるが、減少量 ΔV_o は1つの電荷蓄積電極28a～28d当たりで変化する出力電位を意味する。つまり、A D変換誤差を1/2 LSB以下に確保するためには、アウトプット電極30の下のチャネルボテンシャルレベルのばらつきを減少量 ΔV_o の半分以下に抑える必要がある。

【0066】これに対して、図31に示した電荷蓄積手段においては、図35に示す状態から図36に示すように電荷蓄積電極28aに低レベル電圧を印加したときには、電荷蓄積電極28bで構成されるチャージスイープを溢れ出した信号電荷は分割ゲート76を通り、電荷蓄積電極28c、28dで構成されるチャージスイープに蓄積される。ここで、電荷蓄積電極28aによる小電荷蓄積手段の蓄積電荷を Q_a とすると、蓄積電荷 Q_a によるチャネルボテンシャルレベルの減少量 ΔV_o は次式で表すことができる。

$$[0067] \Delta V_o = Q_a / C_1$$

この場合、蓄積容量 C_1 は電荷蓄積電極28cの蓄積容量と電荷蓄積電極28dの蓄積容量との合計であり、蓄積容量 C_1 は蓄積容量 C_2 より小さい。その結果、減少量 ΔV_o を大きくすることができるから、1つの小電荷蓄積手段当たりで変化する出力電位を大きくすることができるので、アウトプット電極30により設定するチャネルボテンシャルレベルのマージンを大きくしたとしても、正確にA D変換することができる。

【0068】(実施例7) 図37はこの発明に係る他のA D変換装置の電荷蓄積手段の一部のポテンシャル図である。図に示すように、この電荷蓄積手段においては、第1ゲートFGと第2ゲートSGの2つの電極を用いて

小電荷蓄積手段を構成する。この場合、電荷 Q_{S1} は第1ゲートFG、第2ゲートSGの下に広がって蓄積される。ここで、第1ゲートFGの幅の設計値は X_{Fe} 、第2ゲートSGの幅の設計値は X_{Se} 、第1ゲートFGと第2ゲートSGとの間隔の設計値は X_0 、第1ゲートFG、第2ゲートSGを1組とした場合のチャネルパケットの間隔の設計値は X である。

【0069】この電荷蓄積手段において、図38に示すように、第1ゲートFGの合わせずれが発生し、第1ゲートFGが第2ゲートSGの方向に ΔX だけずれたすると、第1ゲートFGと第2ゲートSGとの間隔はそれぞれ $X_0 - \Delta X$ 、 $X_0 + \Delta X$ となる。しかし、小電荷蓄積手段の容量を決める第1ゲートFGの左端から隣の第1ゲートFGの左端までの距離は変わらず X となる。よって、蓄積容量への影響は小さくなる。また、図39に示すように、第1ゲートFGの加工寸法誤差 ΔX が生じ、第1ゲートFGの幅が $X_{Fe} + \Delta X$ になったときにも、小電荷蓄積手段の容量を決める第1ゲートFGの左端から隣の第1ゲートFGの左端までの距離は変わらない。よって、蓄積容量への影響は小さくなる。このように、第1ゲートFGと第2ゲートSGとの2つの電極を用いて小電荷蓄積手段を構成することにより、AD変換誤差を小さくすることができます。

【0070】(実施例8) 図40はこの発明に係る他のAD変換装置の画素部を示す図、図41は図40に示した画素部を有するAD変換装置を示すブロック構成図である。図に示すように、電荷蓄積手段を兼ねた垂直CCDレジスタ77を有する画素部78に電荷溢れ判定手段80が接続されており、垂直CCDレジスタ77の電極に高レベル電圧を印加した状態の蓄積容量はホトダイオード22の飽和電荷量と同じである。

【0071】このAD変換装置においては、信号電荷が読み出されるときには、垂直CCDレジスタ77の電極に高レベル電圧を印加しておく。すると、読み出された信号電荷は各行の垂直CCDレジスタ77の全体に広がって蓄積される。この状態で、電荷溢れ判定手段80と反対側の電極から順次低レベル電圧を印加する。このようにすると、垂直CCDレジスタ77を電荷蓄積手段として用いることができるから、実施例1と同様な方法でAD変換をすることができる。

【0072】このようなAD変換装置においては、電荷蓄積手段を新たに設ける必要はないから、全体の面積を小さくすることができます。

【0073】なお、上述実施例においては、VTR一体型カメラのAD変換装置について説明したが、他のAD変換装置にもこの発明を適用できることは明らかである。

【0074】

【発明の効果】以上説明したように、この発明に係るAD変換装置においては、溢れ出た電荷の有無を判定すれ

ばよいから、容量のばらつきは問題とならないので、信号電荷量が少ない場合にも正確にAD変換することができます。

【0075】また、電荷蓄積手段として、複数の小電荷蓄積手段を同時に駆動するものを用いたときには、実質的な小電荷蓄積手段を減少することができるから、装置に変更を加えることなくAD変換のビット数を変更することができる。

【0076】また、電荷溢れ判定手段として、電荷蓄積手段からの電荷の溢れを複数回行わせたときに電荷の溢れを検出するものを用いたときには、電荷溢れ判定手段で比較的大きな電荷の有無を判定すればよいから、信号電荷量が極めて少ない場合にも正確にAD変換することができます。

【0077】また、補正データを記憶するための補正データ記憶手段と、カウント手段の出力を補正データで補正する補正手段とを設けたときには、各電荷溢れ判定手段間に判定誤差が存在したとしても、その判定誤差を補正することができるから、正確にAD変換することができます。

【0078】また、一定電荷を入力するための一定電荷入力手段を設けたときには、補正データを作成する時に使用する基準電荷を一定電荷入力手段に入力することができるから、容易に補正データを作成することができます。

【0079】また、電荷溢れ判定手段として、差動増幅回路を有するものを用いたときには、電荷の溢れが生じたときに発生する信号を増幅することができるから、正確にAD変換することができます。

【0080】また、複数の電荷蓄積手段と電荷溢れ判定手段との間に電荷転送切替手段を設けたときには、電荷溢れ判定手段の数を減少することができるから、レイアウト設計が容易である。

【0081】また、電荷蓄積手段の中に分割手段を設けたときには、1つの小電荷蓄積手段当たりで変化する出力電位を大きくすることができるから、正確にAD変換することができます。

【0082】また、小電荷蓄積手段を第1ゲート、第2ゲートで構成したときには、第1ゲート、第2ゲートの位置、加工寸法にずれが生じたとしても、小電荷蓄積手段の容量を均一にできるから、正確にAD変換することができます。

【0083】また、画素部の垂直CCDレジスタを電荷蓄積手段として用いたときには、新たに電荷蓄積手段を設ける必要がないから、装置を小型化することができます。

【0084】このように、この発明の効果は顕著である。

【図面の簡単な説明】

【図1】この発明に係るAD変換装置を示すブロック構

成図である。

【図2】図1に示したA D変換装置の画素部を示すブロック構成図である。

【図3】図1に示したA D変換装置の電荷蓄積手段を示す図

【図4】図3に示した電荷蓄積手段の動作説明図である。

【図5】図3に示した電荷蓄積手段の動作説明図である。

【図6】図3に示した電荷蓄積手段の動作説明図である。

【図7】図3に示した電荷蓄積手段の動作説明図である。

【図8】図3に示した電荷蓄積手段の動作説明図である。

【図9】図3に示した電荷蓄積手段の動作説明図である。

【図10】図1に示したA D変換装置の電荷溢れ判定手段の電荷検出部を示す回路図である。

【図11】図10に示した電荷検出部の動作説明図である。

【図12】図1に示したA D変換装置の電荷溢れ判定手段の微分回路を示す図である。

【図13】図12に示した微分回路の動作説明図である。

【図14】図1に示したA D変換装置の一時記憶手段の構成を示す図である。

【図15】図14に示した一時記憶手段の動作説明図である。

【図16】図1に示したA D変換装置の駆動回路の構成を示す図である。

【図17】図1に示した駆動回路の動作説明図である。

【図18】この発明に係る他のA D変換装置の電荷蓄積手段のボテンシャル図である。

【図19】図18に示した電荷蓄積手段の動作説明図である。

【図20】図18に示した電荷蓄積手段の動作説明図である。

【図21】図18に示した電荷蓄積手段の動作説明図である。

【図22】図18に示した電荷蓄積手段の動作説明図である。

【図23】図18に示した電荷蓄積手段の動作説明図である。

ある。

【図24】比較器スレショルドにはらつきがある場合のA D変換装置の動作説明図である。

【図25】この発明に係る他のA D変換装置を示すブロック構成図である。

【図26】図25に示したA D変換装置の動作説明図である。

【図27】この発明に係る他のA D変換装置の電荷溢れ判定手段の電荷検出部を示す回路図である。

【図28】この発明に係る他のA D変換装置の一部を示す図である。

【図29】図28の一部詳細図である。

【図30】図28、図29に示したA D変換装置の動作説明図である。

【図31】この発明に係る他のA D変換装置の電荷蓄積手段のボテンシャル図である。

【図32】図31に示した電荷蓄積手段の効果を説明するための図である。

【図33】図31に示した電荷蓄積手段の効果を説明するための図である。

【図34】図31に示した電荷蓄積手段の効果を説明するための図である。

【図35】図31に示した電荷蓄積手段の動作説明図である。

【図36】図31に示した電荷蓄積手段の動作説明図である。

【図37】この発明に係る他のA D変換装置の電荷蓄積手段の一部のボテンシャル図である。

【図38】図37に示した電荷蓄積手段の効果を説明するための図である。

【図39】図37に示した電荷蓄積手段の効果を説明するための図である。

【図40】この発明に係る他のA D変換装置の画素部を示す図である。

【図41】図40に示した画素部を有するA D変換装置を示すブロック構成図である。

【符号の説明】

10…画素部

12…電荷蓄積手段

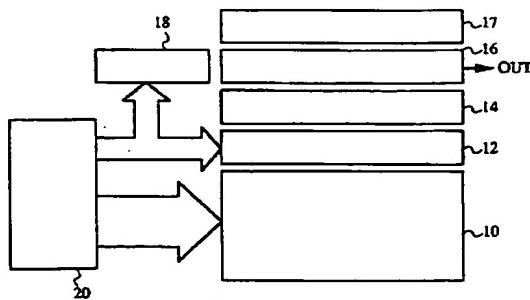
14…電荷溢れ判定手段

16…一時記憶手段

18…カウント手段

40

(図 1)



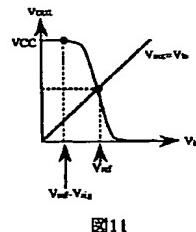
1 0 …回路部
 1 2 …電荷蓄積手段
 1 4 …毎荷溢れ判定手段
 1 6 …一時記憶手段
 1 8 …カウント手段

圖 1

〔図3〕

圖2

[図11]



(図4)

4

〔図6〕

四六

[図7]

The diagram illustrates a cross-section of a microfluidic channel. At the top, a series of rectangular chambers are connected by narrow necks. The chambers are labeled with numbers: 36, 34, 32, 30, 28d, 28c, 28b, 28a, 26, and 38. Above each chamber is a small curved arrow pointing from left to right, indicating the direction of fluid flow. Below the channel, a wavy line represents a flexible membrane. A shaded rectangular region is located between the 36 and 34 chambers. This region contains a vertical column of three smaller rectangles, with the top one labeled ΔQ_3 . To the right of this shaded region is a larger, unlabeled rectangular area. Between the 30 and 28d chambers, there is a gap containing a label $Q_{\text{left}} - \Delta Q$, which likely represents the total flow rate minus the flow rate through the ΔQ_3 region.

四

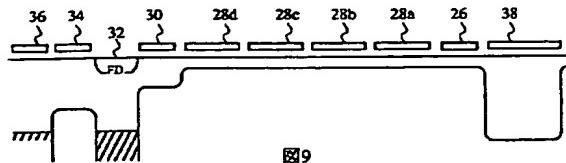
〔図5〕

[圖8]

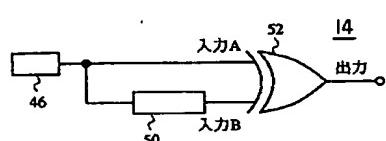
(11)

特開平7-131714

【図9】



【図12】



【図13】

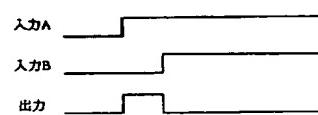


図13

【図14】

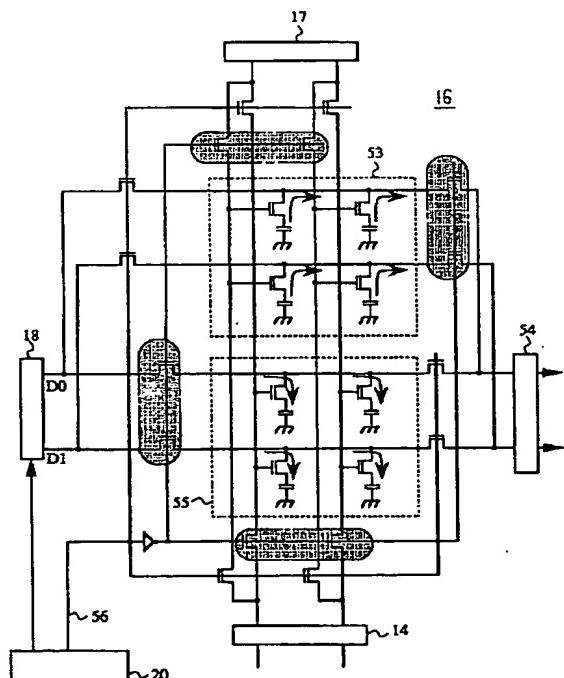


図14

【図15】

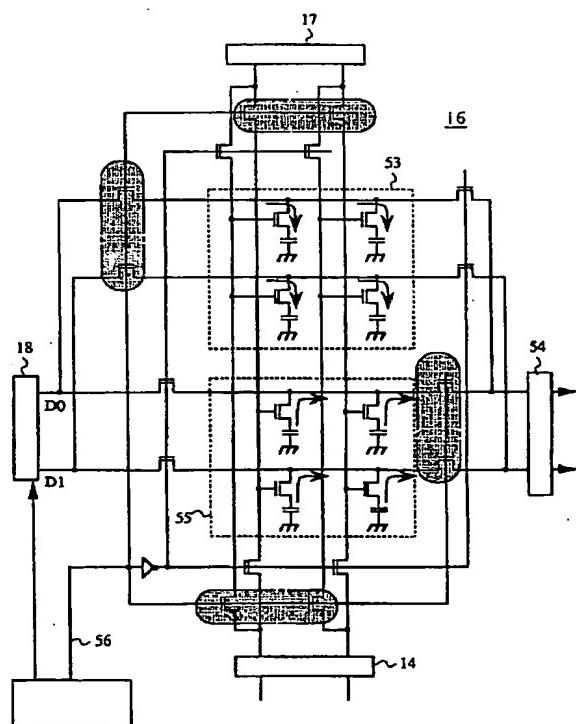
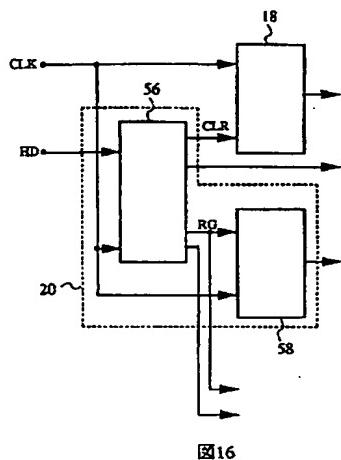
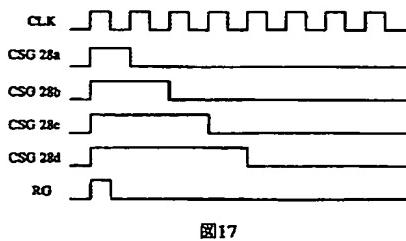


図15

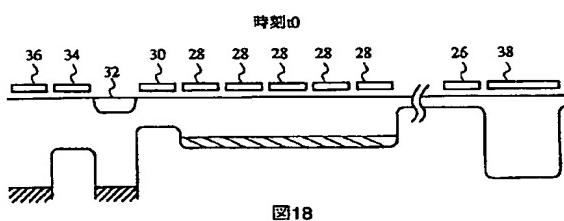
【図16】



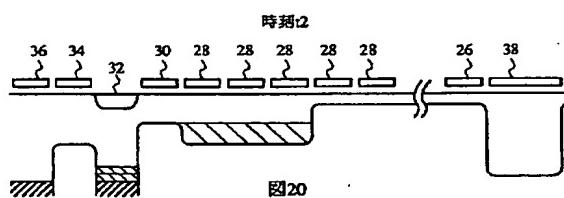
【図17】



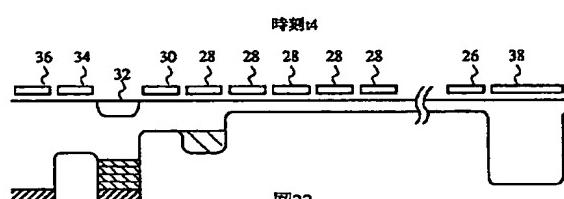
【図18】



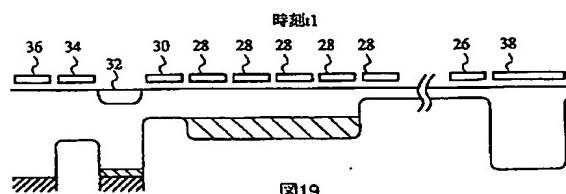
【図20】



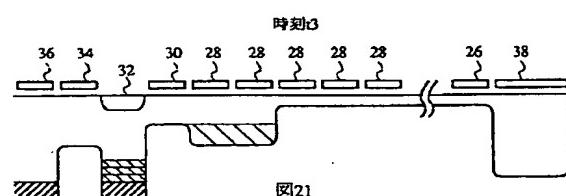
【図22】



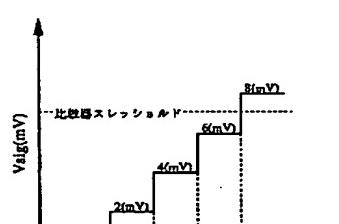
【図19】



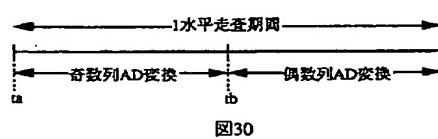
【図21】



【図23】



【図30】



【図24】

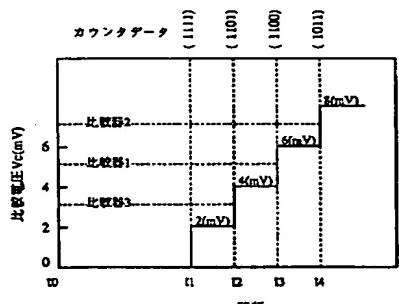


図24

【図25】

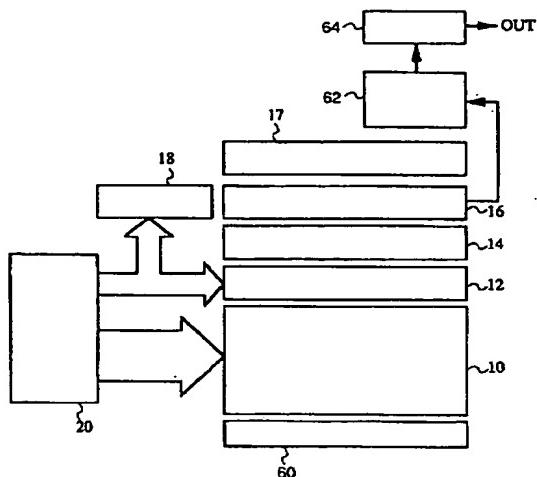


図25

【図26】

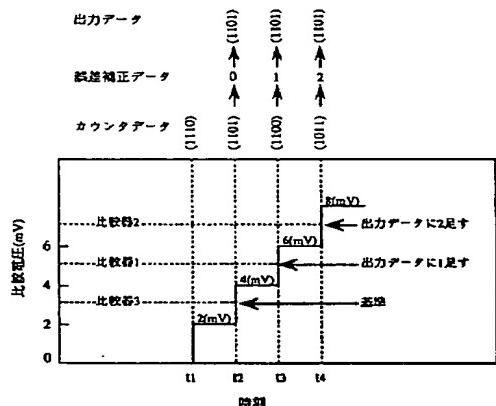


図26

【図27】

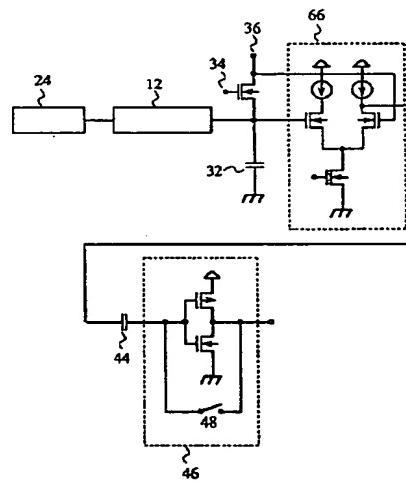


図27

【図31】

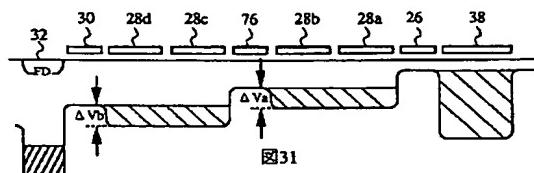


図31

【図32】

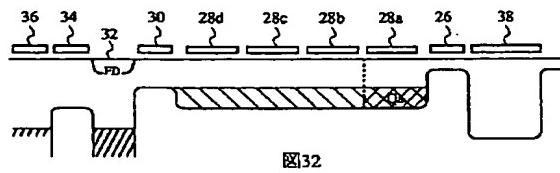


図32

【図28】

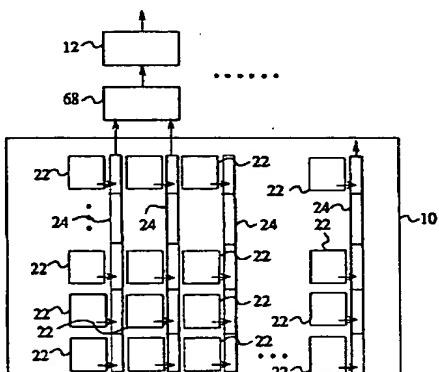


図28

【図33】

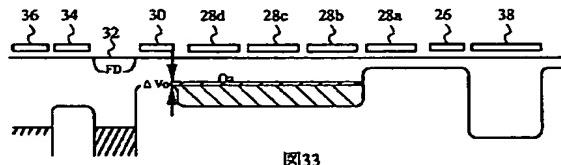


図33

【図35】

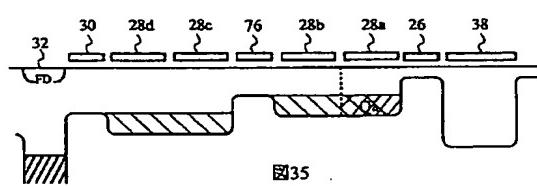


図35

【図34】

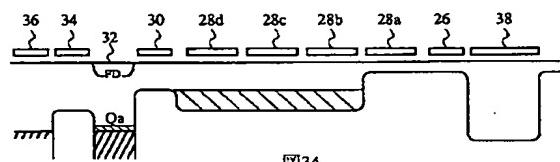


図34

【図36】

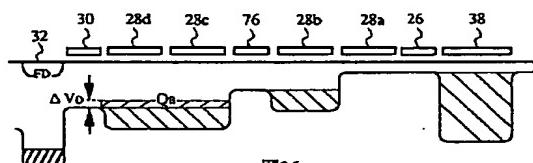


図36

【図37】

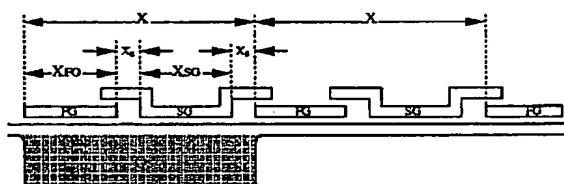


図37

【図38】

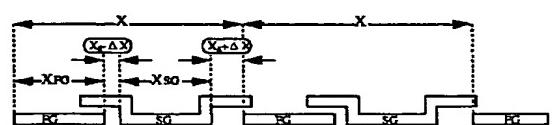


図38

【図39】

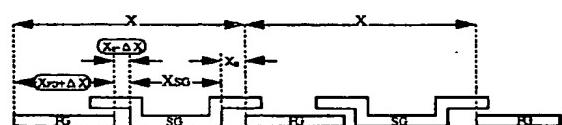


図39

【図40】

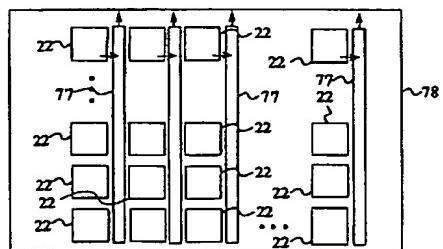


図40

【図41】

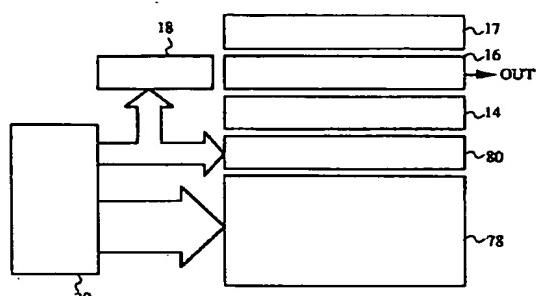


図41